

PAT-NO: JP409199374A

DOCUMENT-IDENTIFIER: JP 09199374 A

TITLE: THIN FILM CAPACITOR, PACKAGE FOR
SEMICONDUCTOR DEVICE
SEMICONDUCTOR DEVICE
MOUNTED THE CAPACITOR, AND THE

PUBN-DATE: July 31, 1997

INVENTOR-INFORMATION:

NAME
FUJISAWA, AKIRA
SHIBAMOTO, TSUYOSHI
KOBAYASHI, TAKESHI
WATANABE, SHOJI
IHARA, YOSHIHIRO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHINKO ELECTRIC IND CO LTD	N/A

APPL-NO: JP08296436

APPL-DATE: November 8, 1996

INT-CL (IPC): H01G004/33, H01L021/60, H01L021/60,
H01L023/12, H01L027/04
, H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To mount easily a capacitor on the wiring pattern of a package for semiconductor devices, by forming on the opposite surface of a substrate to the surface with a formed first electrode film an external connection terminal connected electrically with the first electrode film.

SOLUTION: A ferroelectric film 20 made of strontium titanate or barium titanate is formed on a first electrode film 18 by sputtering. Also, an electrode film 22 comprising a palladium or platinum film is formed on the ferroelectric film 20 by sputtering. Also, on this electrode film 22, a copper-plated film 24 is formed to make the connections of a wire, etc., therewith possible. Further, boring a through hole 26 by a laser beam in an adequate place of a polyimide film 12 of a substrate to expose a chromium-plated film 14 to the outside, a ball bump 28 of an external connection terminal is formed on the exposed chromium-plated film 14 to configure a thin film capacitor 10. Thereby, a capacitor with handling and mounting easinesses and capable of reducing noises is obtained.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199374

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 G 4/33			H 01 G 4/06	1 0 2
H 01 L 21/60	3 0 1	3 1 1	H 01 L 21/60	3 0 1 A
				3 1 1 S
23/12			23/12	B
27/04			27/04	C

審査請求 未請求 請求項の数21 O.L (全 8 頁) 最終頁に続く

(21)出願番号 特願平8-296436

(22)出願日 平成8年(1996)11月8日

(31)優先権主張番号 特願平7-294455

(32)優先日 平7(1995)11月13日

(33)優先権主張国 日本 (JP)

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72)発明者 藤沢 晃

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72)発明者 柴本 強

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72)発明者 小林 壮

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(74)代理人 弁理士 織貫 隆夫 (外1名)

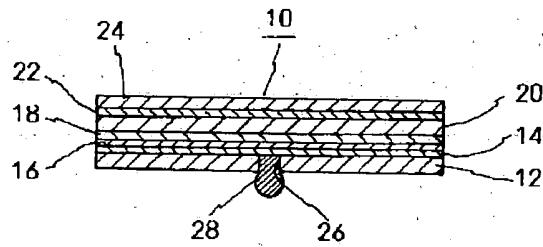
最終頁に続く

(54)【発明の名称】薄膜コンデンサ、これを搭載した半導体装置用パッケージおよび半導体装置

(57)【要約】

【課題】取扱いが容易で容易に実装が可能であり、さらには電源系のノイズの低減をより効果的に行える薄膜コンデンサおよびこれを用いた半導体装置を提供する。

【解決手段】基体12上に第1の電極膜18が形成され、該第1の電極膜18上に高誘電体皮膜20が形成され、この高誘電体皮膜20上に第2の電極膜22が形成され、前記基体12の前記第1の電極膜18と電気的に接続する外部接続端子28が形成されていることを特徴としている。



【特許請求の範囲】

【請求項1】 基体上に第1の電極膜が形成され、該第1の電極膜上に高誘電体皮膜が形成され、この高誘電体皮膜上に第2の電極膜が形成され、前記基体の前記第1の電極膜が形成された面と反対側の面上に前記第1の電極膜と電気的に接続する外部接続端子が形成されていることを特徴とする薄膜コンデンサ。

【請求項2】 前記外部接続端子がボールバンプであることを特徴とする請求項1記載の薄膜コンデンサ。

【請求項3】 前記基体表面にめっき皮膜が形成され、該めっき皮膜上に前記第1の電極膜が形成されていることを特徴とする請求項1または2記載の薄膜コンデンサ。

【請求項4】 前記基体が鉄系合金、または銅もしくは銅合金からなり、前記めっき皮膜がニッケルめっき皮膜であることを特徴とする請求項3記載の薄膜コンデンサ。

【請求項5】 前記基体がポリイミドフィルムであり、前記めっき皮膜がクロムめっき皮膜を下地とするニッケルめっき皮膜であることを特徴とする請求項3記載の薄膜コンデンサ。

【請求項6】 半導体チップを搭載する半導体装置用パッケージにおいて、パッケージ本体の電源ラインもしくは接地ライン上に請求項1、2、3、4または5記載の薄膜コンデンサを前記外部接続端子により電気的に接続して搭載したことを特徴とする半導体装置用パッケージ。

【請求項7】 請求項6記載の半導体装置用パッケージに半導体チップを搭載すると共に、前記薄膜コンデンサの第2の電極膜側を半導体チップの接地用パッドもしくは電源用パッドに電気的に接続し、前記半導体チップを封止したことを特徴とする半導体装置。

【請求項8】 半導体装置用パッケージに半導体チップが搭載され、該半導体チップが封止された半導体装置において、

前記半導体チップの電源用パッドもしくは接地用パッドに請求項1、2、3、4または5記載の薄膜コンデンサを前記外部接続端子により電気的に接続して半導体チップ上に直接搭載したことを特徴とする半導体装置。

【請求項9】 基体上に第1の電極膜が形成され、該第1の電極膜上に高誘電体皮膜が形成され、この高誘電体皮膜上に第2の電極膜が形成され、前記基体の前記第1の電極膜が形成された面と反対側の面上に前記第1の電極膜と電気的に接続する外部接続端子と、前記第2の電極膜と電気的に接続する外部接続端子とが形成されていることを特徴とする薄膜コンデンサ。

【請求項10】 前記基体と第1の電極膜、高誘電体皮膜を貫通して形成され、内壁面に高誘電体皮膜が形成された透孔により、前記第2の電極膜と外部接続端子とが接続されていることを特徴とする請求項9記載の薄膜コ

ンデンサ。

【請求項11】 前記両外部接続端子がボールバンプであることを特徴とする請求項9または10記載の薄膜コンデンサ。

【請求項12】 前記基体表面にめっき皮膜が形成され、該めっき皮膜上に前記第1の電極膜が形成されていることを特徴とする請求項9、10または11記載の薄膜コンデンサ。

【請求項13】 前記基体が鉄系合金、または銅もしくは銅合金からなり、前記めっき皮膜がニッケルめっき皮膜であることを特徴とする請求項12記載の薄膜コンデンサ。

【請求項14】 前記基体がポリイミドフィルムであり、前記めっき皮膜がクロムめっき皮膜を下地とするニッケルめっき皮膜であることを特徴とする請求項12記載の薄膜コンデンサ。

【請求項15】 半導体チップを搭載する半導体装置用パッケージにおいて、

パッケージ本体の電源ラインと接地ライン上に請求項9、10、11、12、13または14記載の薄膜コンデンサを前記外部接続端子の各々を電気的に接続して搭載したことを特徴とする半導体装置用パッケージ。

【請求項16】 請求項15記載の半導体装置用パッケージに半導体チップを搭載し、該半導体チップを封止したことを特徴とする半導体装置。

【請求項17】 前記半導体チップがパッケージ本体にフリップチップ接続して搭載され、前記薄膜コンデンサが前記半導体チップとパッケージ本体との間隙内に位置するように配置されていることを特徴とする請求項16記載の半導体装置。

【請求項18】 半導体装置用パッケージに半導体チップが搭載され、該半導体チップが封止された半導体装置において、

前記半導体チップの電源用パッドと接地用パッド上に請求項9、10、11、12、13または14記載の薄膜コンデンサを前記外部接続端子の各々を電気的に接続して半導体チップ上に直接搭載したことを特徴とする半導体装置。

【請求項19】 前記半導体チップがパッケージ本体にフリップチップ接続して搭載され、前記薄膜コンデンサが前記半導体チップとパッケージ本体との空隙内に位置するように半導体チップ上に搭載されたことを特徴とする請求項18記載の半導体装置。

【請求項20】 電源用パッドもしくは接地用パッドに請求項1、2、3、4または5記載の薄膜コンデンサを前記外部接続端子により電気的に接続して搭載したことを特徴とする半導体チップ。

【請求項21】 電源用パッドと接地用パッドに請求項9、10、11、12、13または14記載の薄膜コンデンサを前記外部接続端子の各々を電気的に接続して搭

載したことを特徴とする半導体チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜コンデンサおよびこれを搭載した半導体装置に関する。

【0002】

【従来の技術】半導体チップの高速化、高集積化に伴い、ノイズ対策が重要になっている。特に電源系ノイズを低減するためには電源と接地間にコンデンサを配置する必要がある。従来、一般的にはチップコンデンサを半導体装置の外部に配置しているが、半導体チップとの間に距離があることから、十分なノイズの低減が図れなかった。このため例えばリードフレームのリードの先端にチップコンデンサを搭載する例もある。

【0003】

【発明が解決しようとする課題】リードフレームの先端にチップコンデンサを搭載すれば、半導体チップとの間の距離を短くでき、ノイズの低減に効果がある。しかしながら、細いリードフレームの先端に導電性接着剤を用いてチップコンデンサを搭載するのは厄介であり、コストが増大する。

【0004】そこで、本発明は上記問題点を解決すべくなされたものであり、その目的とするところは、取扱いが容易で容易に実装が可能であり、さらには電源系のノイズの低減をより効果的に行える薄膜コンデンサおよびこれを用いた半導体装置を提供するにある。

【0005】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、本発明に係る薄膜コンデンサは、基体上に第1の電極膜が形成され、該第1の電極膜上に高誘電体皮膜が形成され、この高誘電体皮膜上に第2の電極膜が形成され、前記基体の前記第1の電極膜が形成された面と反対側の面上に前記第1の電極膜と電気的に接続する外部接続端子が形成されていることを特徴としている。前記外部接続端子をボールバンプに形成できる。ボールバンプ等の外部接続端子によりリードフレームのリード先端に容易に搭載できる。前記基体表面にめっき皮膜を形成して平滑化し、該めっき皮膜上に前記第1の電極膜を形成することにより、第1の電極膜にピンホールをなくして耐圧を高めることができる。前記基体に鉄系合金、または銅もしくは銅合金を用い、前記めっき皮膜にニッケルめっき皮膜を形成することができる。また前記基体にポリイミドフィルムを用い、前記めっき皮膜をクロムめっき皮膜を下地とするニッケルめっき皮膜にすることによって、ニッケルめっきのポリイミドフィルムへの拡散防止と、第1の電極膜のピンホールをなくすことができる。

【0006】また本発明に係る半導体装置用パッケージは、半導体チップを搭載する半導体装置用パッケージにおいて、パッケージ本体の電源ラインもしくは接地ライ

ン上に上記薄膜コンデンサを前記外部接続端子により電気的に接続して搭載したことを特徴としている。さらに本発明に係る半導体装置は、リードフレームを用いた樹脂封止型半導体装置において、前記リードフレームの電源ラインもしくは接地ライン上に上記の薄膜コンデンサを前記外部接続端子により電気的に接続して搭載し、該薄膜コンデンサの第2の電極膜側を半導体チップの接地用パッドもしくは電源用パッドに電気的に接続したことを特徴としている。

【0007】また本発明に係る薄膜コンデンサは、基体上に第1の電極膜が形成され、該第1の電極膜上に高誘電体皮膜が形成され、この高誘電体皮膜上に第2の電極膜が形成され、前記基体の前記第1の電極膜が形成された面と反対側の面上に前記第1の電極膜と電気的に接続する外部接続端子と、前記第2の電極膜と電気的に接続する外部接続端子とが形成されていることを特徴としている。前記基体と第1の電極膜、高誘電体皮膜を貫通して形成され、内壁面に高誘電体皮膜が形成された透孔により、前記第2の電極膜と外部接続端子とを接続することができる。前記両外部接続端子をボールバンプに形成できる。このボールバンプ等の外部接続端子によって、リードフレームの電源ライン、接地ラインに、あるいは半導体チップの電源用パッド、接地用パッドに接続して容易に搭載できる。前記基体表面にめっき皮膜を形成して平滑化し、該めっき皮膜上に前記第1の電極膜を形成することにより、第1の電極膜にピンホールをなくして耐圧を高めることができる。前記基体に鉄系合金、または銅もしくは銅合金を用い、前記めっき皮膜にニッケルめっき皮膜を形成することができる。また前記基体にポリイミドフィルムを用い、前記めっき皮膜をクロムめっき皮膜を下地とするニッケルめっき皮膜にすることによって、ニッケルめっきのポリイミドフィルムへの拡散防止と、第1の電極膜のピンホールをなくすことができる。

【0008】さらに本発明に係る半導体装置用パッケージは、半導体チップを搭載する半導体装置用パッケージにおいて、パッケージ本体の電源ラインと接地ライン上に上記薄膜コンデンサを前記外部接続端子の各々を電気的に接続して搭載したことを特徴としている。また本発明に係る半導体装置は、上記半導体装置用パッケージに半導体チップを搭載し、該半導体チップを封止したことを特徴としている。この場合に、半導体チップをパッケージ本体にフリップチップ接続して搭載し、薄膜コンデンサをこの半導体チップとパッケージ本体との間隙内に位置するように配置するとスペース効率がよくなる。またさらに本発明に係る半導体装置では、半導体装置用パッケージに半導体チップが搭載され、該半導体チップが封止された半導体装置において、前記半導体チップの電源用パッドと接地用パッド上に請求項9、10、11、12、13または14記載の薄膜コンデンサを前記外部接続端子の各々を電気的に接続して半導体チップ上に直

接搭載したことを特徴としている。この場合にも、半導体チップをパッケージ本体にフリップチップ接続して搭載し、薄膜コンデンサを半導体チップとパッケージ本体との空隙内に位置するように半導体チップ上に搭載するとスペース効率がよくなる。

【0009】さらにまた本発明に係る半導体チップでは、電源用パッドもしくは接地用パッドに請求項1、2、3、4または5記載の薄膜コンデンサを前記外部接続端子により電気的に接続して搭載したことを特徴とする。あるいは電源用パッドと接地用パッドに請求項9、10、11、12、13または14記載の薄膜コンデンサを前記外部接続端子の各々を電気的に接続して搭載したことを特徴とする。

【0010】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。図1は薄膜コンデンサ10の第1の実施の形態を示す。12は基体の一例たる厚さ $10\mu m$ 程度のポリイミドフィルムである。なお、基体はポリイミドフィルムの他、エポキシ樹脂フィルム、ポリエステル樹脂フィルム等を用いることもできる。このポリイミドフィルム12上に数 μm のクロムめっき皮膜14が形成され、このクロムめっき皮膜14上に数 μm のニッケルめっき皮膜16が形成されている。18はパラジウム皮膜あるいは白金皮膜からなる第1の電極膜であり、ニッケルめっき皮膜16上にスパッタリングによって 5000 \AA 程度の厚さに形成されている。

【0011】20はチタン酸ストロンティウムあるいはチタン酸バリウムからなる高誘電体皮膜であり、第1の電極膜18上にスパッタリングによって厚さ $1\mu m$ 程度の厚さに形成されている。22はパラジウム皮膜あるいは白金皮膜からなる第2の電極膜であり、高誘電体皮膜20上にスパッタリングによって 5000 \AA 程度の厚さに形成されている。この第2の電極膜22上にワイヤ等を接続可能なように銅めっき皮膜24が $3\mu m$ 程度の厚さに形成されている。前記ポリイミドフィルム12の適所にはレーザー光によって透孔26が開口され、クロムめっき皮膜14が露出され、この露出したクロムめっき皮膜14上に外部接続端子の一例たるポールバンプ28が形成されて薄膜コンデンサ10に完成されている。ポールバンプ28は、はんだの充填、はんだめっきによる盛り上げ、またはニッケルめっきにより盛り上げた後、金めっきを施すなどして形成する。

【0012】上記第1の電極膜18はポリイミドフィルム12上に直接スパッタリングして形成してもよい。しかしながら、ポリイミドフィルム12の表面には微細な凹凸がある。例えば図2に示すような、アンダーカット的な凹部が存在すると、スパッタリングによってはこの凹部内にまで皮膜を形成することができず、必要な耐圧が得られなくなることが判明した。そこで、ポリイミド

フィルム12上にめっき皮膜を形成することにより、めっき皮膜14、16は凹部内にも回り込むことから、このめっき皮膜14、16上にスパッタリングすることによりピンホールのない第1の電極膜18を形成でき、耐圧を向上させることができる(図3)。薄膜コンデンサ10の製造方法の一例としては、所要大きさのポリイミドフィルム12上に、クロムめっき皮膜14、ニッケルめっき皮膜16、第1の電極膜18、高誘電体皮膜20、第2の電極膜22、銅めっき皮膜24を前記したように形成し、またポリイミドフィルム12に所要のパターンで透孔26を形成し、各透孔にポールバンプ28を形成した後、例えば格子状にスライシングすることによって一時に多数の薄膜コンデンサ10を形成することができる(図示せず)。以下に説明する他の例の薄膜コンデンサも同様である。

【0013】上記の薄膜コンデンサ10は、ポリイミドフィルム12側に外方に突出するポールバンプ28を有するから、図4、図5に示すように、リードフレーム38のリード先端に位置決めしてのせて加熱すると、ポールバンプ28のセルフアライメント作用により容易に細いリード先端上に搭載できる。なお、薄膜コンデンサ10をより確実にリード上に接合するために、図4に示すようにポールバンプ28を複数箇所に設けるとよい。リードフレーム38は半導体装置用パッケージの一例であるが、他のパッケージ、例えばセラミックパッケージやプラスチックPGA、BGA等のパッケージの配線パターン上にも同様にして薄膜コンデンサ10を容易に搭載できる(図示せず)。薄膜コンデンサ10はリードフレーム38の電源ラインあるいは接地ライン上にポールバンプ28によって電気的に接続して搭載し、リードフレーム38に搭載されている半導体チップ40の接地用パッドあるいは電源用パッドにワイヤにより接続する。そして半導体チップ40を樹脂封止することにより樹脂封止型の半導体装置に完成される。もちろん前記セラミックパッケージ、プラスチックPGA、BGAのパッケージの場合にも、同様にして電源ライン上あるいは接地ライン上に上記薄膜コンデンサを搭載することにより薄膜コンデンサ付きの半導体装置用パッケージに形成することができる(図示せず)。さらにこれら半導体装置用パッケージに半導体チップを搭載して必要な電気的接続をとった上で、半導体チップを封止することで半導体装置に完成できる(図示せず)。

【0014】図6は薄膜コンデンサ10の第2の実施の形態を示す。前記実施の形態と同一の部材は同一符号を付し、説明を省略する。本例では、ポリイミドフィルム12に設けた透孔26およびポリイミドフィルム12面上にスパッタリングおよびめっきによって皮膜を形成し、この皮膜をエッチング加工して配線パターン27を形成し、この配線パターン27にポールバンプ28を形成するようにしている。本実施の形態でも上記と同様の作用

効果を奏し、また前記と同様にして半導体装置用パッケージや半導体装置に形成できる(図示せず)。なお、配線パターン27の適所にポールバンプ28を形成することができるのでポールバンプ28の形成箇所の自由度が増大する。

【0015】図7は薄膜コンデンサ10の第3の実施の形態を示す。前記実施の形態と同一の部材は同一の符号を付し、説明を省略する。本例では基体29にポリイミドフィルムでなく、42アロイ(鉄-ニッケル合金)等の鉄系合金、あるいは銅もしくは銅合金を用いている。これら金属の基体29の表面にも凹凸が存在するから、ニッケルめっき皮膜16を形成し、その上に第1の電極膜18をスパッタリングによって形成するようにしている。また、基体29の下面側にソルダーレジスト膜30を形成し、フォトリソグラフィによってソルダーレジスト膜30の適所に透孔を形成して、この透孔に外部接続端子たるポールバンプ28を形成するようにしている。本実施の形態でも上記と同様の作用効果を奏し、また同様にして半導体装置用パッケージや半導体装置を形成できる(図示せず)。

【0016】図8は薄膜コンデンサ10の第4の実施の形態を示す。前記実施の形態と同一の部材は同一の符号を付し、説明を省略する。本例では、第1の実施の形態において、第2の電極膜22に電気的に接続するポールバンプ32をポールバンプ28と同様に、ポリイミドフィルム12の下面側に設けている。このポールバンプ32を形成するには、ポリイミドフィルム12にクロムめっき皮膜14、ニッケルめっき皮膜16を形成した段階で、レーザー光により、ポリイミドフィルム12、クロムめっき皮膜14、ニッケルめっき皮膜16に透孔34を形成し、該透孔34をマスクして、ニッケルめっき皮膜16上にスパッタリングにより第1の電極膜18を形成し、その後スパッタリングにより高誘電体皮膜20を形成する。すると高誘電体皮膜20は上記透孔34内壁にまで形成され、絶縁膜として機能する。なお、ポリイミドフィルム12、クロムめっき皮膜14、ニッケルめっき皮膜16は前記のごとく実際に極めて薄く、透孔34も浅いので、スパッタリングにより該透孔34内壁にも皮膜が形成されるのである。次いで高誘電体皮膜20上に第2の電極膜22を形成し、この第2の電極膜22上に銅めっき皮膜24を形成する。そして透孔34内に、ポリイミドフィルム12下面側に突出するポールバンプ32を形成するのである。ポールバンプ28は前記と同様にして形成する。

【0017】本例の薄膜コンデンサ10は図9、図10に示すように、例えばリードフレーム38の電源ライン38aと接地ライン38b上にポールバンプ28とポールバンプ32を用いて搭載して、容易に半導体装置用パッケージに形成できる。この場合、リード先端側は図示のごとく隣接するもの同士段々間隔が狭まってくるのが

通例であるから、ポールバンプ28とポールバンプ32との間隔に一致するところにアライメントして、加熱することで搭載できる。したがって、どのリードフレームにも容易に搭載可能である。このようにして半導体チップを樹脂封止して半導体装置に完成できる。図11、図12はセラミックあるいはプラスチックからなるパッケージ本体39の電源ライン39aと接地ライン39bに薄膜コンデンサ10を搭載してパッケージに形成した例を示す。またこのパッケージに半導体チップ40を搭載し、ワイヤ等により配線パターンと電気的に接続し、キヤップ41によって半導体チップ40を封止して半導体装置に完成できる。また図13はPBGA型のパッケージ本体43の電源ライン43a、接地ライン43bに薄膜コンデンサ10を搭載して半導体装置用パッケージに形成した例を示す。さらに、半導体チップ40を搭載し、必要な電気的接続をとった上で、封止樹脂44で半導体チップ40を封止して半導体装置に完成できる。

【0018】また、図14は半導体チップ40上に薄膜コンデンサ10を搭載した例を示す。半導体チップ40上には所要の配列でパッド42が形成されている。そしてそのうちの所要の2個の電源用パッド42aと接地用パッド42bが薄膜コンデンサ10の前記ポールバンプ28とポールバンプ32の間隔と同一になるように設計されている。したがって薄膜コンデンサ10をポールバンプ28とポールバンプ32とにより電源用パッド42、接地用パッド42bに電気的に接続して搭載可能である。

本例では薄膜コンデンサ10を半導体チップ40上に直接搭載するから、電源系ノイズを極めて効果的に低減できる。また半導体チップ40への薄膜コンデンサ10の搭載も容易である。この薄膜コンデンサ10を搭載した半導体チップ40を所要のパッケージに搭載して封止することにより種々の半導体装置に完成できる。もちろん樹脂封止型半導体装置に限らず、セラミックパッケージ等を用いた半導体装置に適用してもよい。

【0019】図15は上記薄膜コンデンサ10付きの半導体チップ40をパッケージ本体43にフリップチップ接続した例を示す。この場合、薄膜コンデンサ10は半導体チップ40とパッケージ本体43との間の隙間に配置されるからスペース効率がよくなる。また図16

は、同様に半導体チップ40をパッケージ本体43にフリップチップ接続して搭載したものであるが、本例では、薄膜コンデンサ10を半導体チップ40とパッケージ本体43との間の隙間に位置してパッケージ本体43側の電源ラインと接地ラインに跨がるようにして搭載している。本例でもスペース効率をよくすることができる。この場合パッケージ本体43に搭載する薄膜コンデンサ10は前記第1の実施の形態～第3の実施の形態のものであってもよい。第2の電極膜には半導体チップ40に設けた電源用パッドもしくは接地用パッドをバンプを介して接続すればよい(図示せず)。

【0020】半導体チップ40上に直接薄膜コンデンサ10を搭載した上記各例では、いずれも配線パターンを形成した半導体チップ40の表面側に薄膜コンデンサ10を搭載した例を示した。図17には、半導体チップ40の裏面側に薄膜コンデンサ10を搭載した半導体チップ40を示す。この場合、半導体チップ40の裏面側に電源パッドおよび接地パッドを引出し、この電源パッドおよび接地パッドに跨るようにして薄膜コンデンサ10をその外部接続端子により電気的に接続して搭載している。電源パッドから引き出された配線パターン45には、ワイヤ46によりパッケージ本体43側の電源ラインと接続するようにするとよい。本例でも半導体チップ40上に直接薄膜コンデンサ10を搭載したので電源ノイズを軽減できる。また半導体チップ40の裏面側を有効利用できるので、半導体チップ40表面側の配線パターンを密にすることができる。なお、場合によっては、半導体チップ40の裏面側に引き出した接地用パッドあるいは電源用パッドに前記第1の実施の形態～第3の実施の形態の薄膜コンデンサ10を搭載して薄膜付きの半導体チップに形成してもよい(図示せず)。この場合、薄膜コンデンサ10の第2の電極をワイヤを介してパッケージ本体43側の電源ラインもしくは接地ラインと電気的に接続するようにする。本例でも電源ノイズを軽減でき、さらには半導体チップ表面側の配線パターンを密にすることができる。

【0021】以上本発明につき好適な実施例を挙げて種々説明したが、本発明はこの実施例に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのはもちろんである。

【0022】

【発明の効果】本発明に係る薄膜コンデンサによれば、基体の第1の電極膜が形成された面と反対側の面に第1の電極膜と電気的に接続する外部接続端子を形成したので、リードフレームのリード先端等の半導体装置用パッケージの配線パターンへの搭載が容易に行える。また、電源ノイズを低減した半導体装置を提供できる。さらに、基体の第1の電極膜が形成された面と反対側の面に第1の電極膜と電気的に接続する外部接続端子と、第2の電極膜と電気的に接続する外部接続端子とを形成したので、リードフレーム等の半導体装置用パッケージの電源ライン、接地ライン上、あるいは半導体チップの電源用パッド、接地用パッドに容易に搭載できる。そして電源ノイズを低減した半導体装置を提供できる。

【図面の簡単な説明】

【図1】薄膜コンデンサの第1の実施の形態を示した断面図である。

【図2】スパッタリング膜の欠陥を示す説明図である。

【図3】基体表面にめっき皮膜を形成した場合の説明図である。

【図4】リードフレームのリード先端へ薄膜コンデンサ 50 44 封止樹脂

を搭載した状態の説明図である。

【図5】リードフレームのリード先端へ薄膜コンデンサを搭載した状態の説明図である。

【図6】薄膜コンデンサの第2の実施の形態を示す断面図である。

【図7】薄膜コンデンサの第3の実施の形態を示す断面図である。

【図8】薄膜コンデンサの第4の実施の形態を示す断面図である。

【図9】薄膜コンデンサをリードフレームに搭載した状態を示す平面図である。

【図10】薄膜コンデンサをリードフレームに搭載した状態を示す正面図である。

【図11】パッケージ本体へ薄膜コンデンサを搭載した状態の説明図である。

【図12】パッケージ本体へ薄膜コンデンサを搭載した状態の説明図である。

【図13】パッケージ本体へ薄膜コンデンサを搭載した状態の説明図である。

【図14】薄膜コンデンサを半導体チップ上に搭載した平面図である。

【図15】半導体チップの表面側に薄膜コンデンサを搭載し、半導体チップをフリップチップ接続した例を示す説明図である。

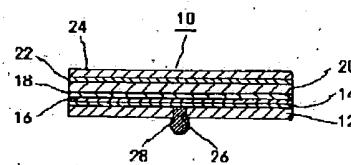
【図16】半導体チップとパッケージ本体との間に薄膜コンデンサを配置した説明図である。

【図17】半導体チップの裏面側に薄膜コンデンサを搭載した例を示す説明図である。

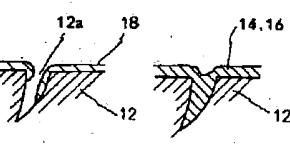
【符号の説明】

- | | |
|----|--------------|
| 30 | 10 薄膜コンデンサ |
| | 12 ポリイミドフィルム |
| | 14 クロムめっき皮膜 |
| | 16 ニッケルめっき皮膜 |
| | 18 第1の電極膜 |
| | 20 高誘電体皮膜 |
| | 22 第2の電極膜 |
| | 24 銅めっき皮膜 |
| | 26 透孔 |
| | 28 ポールバンプ |
| 40 | 29 基体 |
| | 30 ソルダーレジスト膜 |
| | 32 ポールバンプ |
| | 34 透孔 |
| | 38 リードフレーム |
| | 39 パッケージ本体 |
| | 40 半導体チップ |
| | 41 キャップ |
| | 42 パッド |
| | 43 パッケージ本体 |
| | 44 封止樹脂 |

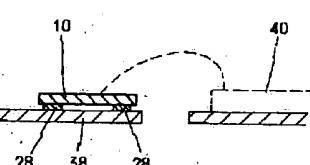
【図1】



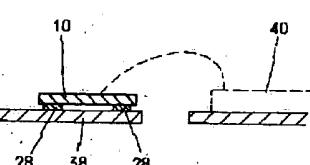
【図2】



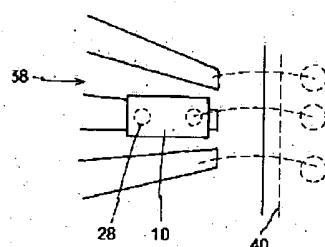
【図3】



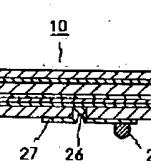
【図4】



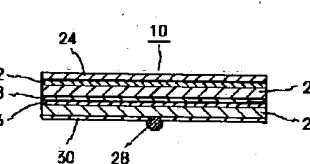
【図5】



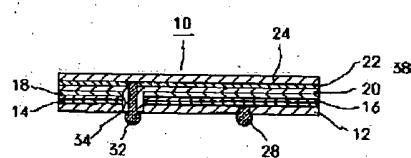
【図6】



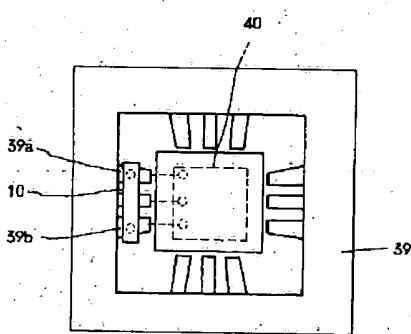
【図7】



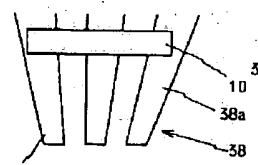
【図8】



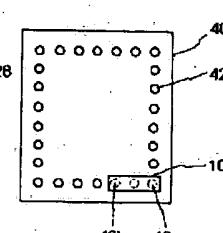
【図11】



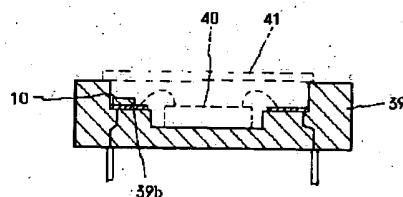
【図9】



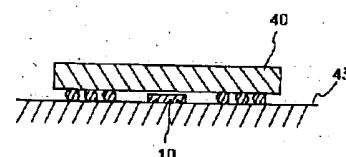
【図10】



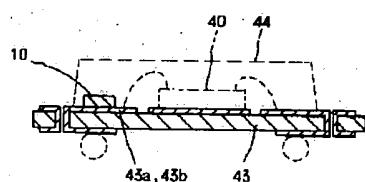
【図12】



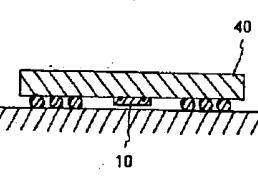
【図16】



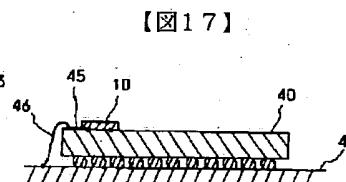
【図13】



【図15】



【図17】



フロントページの続き

(51) Int.Cl.⁶

H 01 L 21/822

識別記号

庁内整理番号

F I

H 01 L 27/04

技術表示箇所

H

(72) 発明者 渡辺 章司

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72) 発明者 井原 義博

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内